

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-265992

(43)Date of publication of application : 28.09.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/28

(21)Application number : 11-010404

(71)Applicant : SIEMENS AG
INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 19.01.1999

(72)Inventor : ILG MATTHIAS
FALTERMEIER JONATHAN
SRINIVASAN RADHIKA

(30)Priority

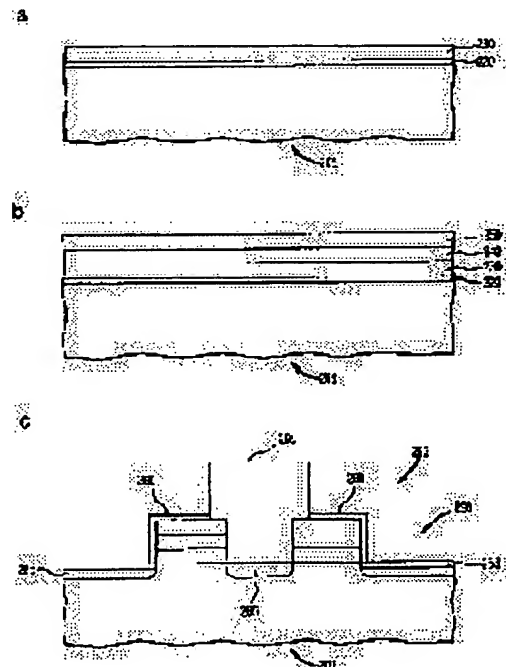
Priority number : 98 10081 Priority date : 21.01.1998 Priority country : US

(54) FORMING METHOD OF DYNAMIC RANDOM ACCESS MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To form a sure gate conductor which is lessened in thickness and sheet resistance, by a method wherein a metal silicide layer doped with dopant in situ is deposited on a doped polysilicon layer.

SOLUTION: A thin gate oxide layer 220 is formed on the surface of a substrate 201, a polysilicon layer 230 is deposited thereon through a chemical deposition method. Typically, the polysilicon layer 330 contains dopant so as to be lessened in resistivity. Then, a metal silicide layer 240 is deposited on the polysilicon layer 230. The silicide layer 240 which is doped so as to be used as a dopant source is provided, whereby a polysilicon layer can be formed being lower in dopant concentration than that which generates a metal-rich boundary surface. Therefore, a polysilicon layer of a gate stack is more enhanced in dopant concentration without being increased in thickness so as to avoid a metal-rich boundary surface, and the sure gate stack lessened in sheet resistance can be obtained.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-265992

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.⁶
H 0 1 L 27/108
21/8242
21/28
識別記号
3 0 1

F I
H 0 1 L 27/10
21/28
6 8 1 A
3 0 1 D

審査請求 未請求 請求項の数17 O L (全 7 頁)

(21) 出願番号 特願平11-10404

(22) 出願日 平成11年(1999) 1月19日

(31) 優先権主張番号 09/010081

(32) 優先日 1998年1月21日

(33) 優先権主張国 米国 (US)

(71) 出願人 390039413

シーメンス アクチエンゲゼルシャフト
SIEMENS AKTIENGESEL
LSCHAFT

ドイツ連邦共和国 D-80333 ミュンヘン
ヴィッテルスバッハープラッツ 2

(71) 出願人 594145404

インターナショナル ビジネス マシンズ
コーポレーション

アメリカ合衆国ニューヨーク州 10504

ニューヨーク アーモンク オールド
オーチャード ロード (番地なし)

(74) 代理人 弁理士 矢野 敏雄 (外2名)

最終頁に続く

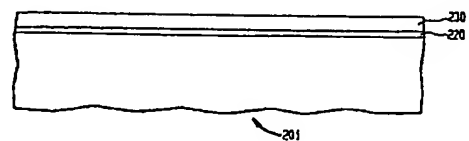
(54) 【発明の名称】 ダイナミックランダムアクセスメモリの形成方法

(57) 【要約】

【課題】 減少したシート抵抗を有する確実なポリサイドゲートを提供する。

【解決手段】 ポリと金属シリコン化物層との間の金属の豊富な境界面の減少は、金属シリコン化物層にその場でドーピングすることによって達成される。

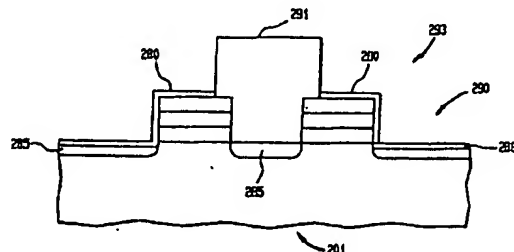
a



b



c



【特許請求の範囲】

【請求項1】 ダイナミックランダムアクセスメモリ（DRAM）の形成方法において、

基板上に酸化物の層を形成させ、

酸化物層上にポリシリコン（ポリ）の層を形成させ、かつポリ層上に金属シリコン化物の層を堆積させ、ポリと金属シリコン化物の層との間の金属の豊富な境界面を減少するようにドーバントによって金属シリコン化物層を現場でドーピングし、かつゲートを形成するように酸化物、ポリ及び金属シリコン化物の層をパターンニングすることを特徴とする、ポリサイドゲートを有するトランジスタを含むダイナミックランダムアクセスメモリの形成方法。

【請求項2】 ポリサイドゲートを含むトランジスタにおいて、

ゲート酸化物層、

ポリ層及び現場でドーピングされた金属シリコン化物を含み、金属シリコン化物層におけるドーバントが、ポリと金属シリコン化物層との間の金属の豊富な境界面を減少することを特徴とする、ポリサイドゲートを含むトランジスタ。

【請求項3】 半導体デバイスの製造方法において、基板上にポリシリコン層を形成させ、かつポリ層上に金属シリコン化物の層を堆積させ、ポリと金属シリコン化物の層との間の金属の豊富な境界面を現場で減少するようにドーバントによって金属シリコン化物層をドーピングすることを特徴とする、半導体デバイスの製造方法。

【請求項4】 ドーバントを、 n -タイプドーバント又は p -タイプドーバントからなるグループから選択する、請求項3に記載の方法。

【請求項5】 n -タイプドーバントを、りん素又はりんからなるグループから選択し、かつ p -タイプドーバントが、ほう素からなる、請求項4に記載の方法。

【請求項6】 ポリ層がドーバントを含む、請求項5に記載の方法。

【請求項7】 ポリ層におけるドーバントが、金属シリコン化物層と同じドーバントタイプのものである、請求項6に記載の方法。

【請求項8】 金属シリコン化物とポリ層が、 n -タイプのドーバントを含む、請求項7に記載の方法。

【請求項9】 n -タイプのドーバントが、りんからなる、請求項8に記載の方法。

【請求項10】 金属シリコン化物層におけるドーバントの濃度が、ほぼ $1 \times 10^{19} \sim 5 \times 10^{21}$ である、請求項9に記載の方法。

【請求項11】 ポリ層におけるドーバントの濃度が、ほぼ $1 \times 10^{19} \sim 5 \times 10^{21}$ である、請求項10に記載の方法。

【請求項12】 金属シリコン化物を、タングステン、モリブデン、タンタル、チタン及びコバルトからなるグ

ループから選択する、請求項11に記載の方法。

【請求項13】 金属シリコン化物がタングステンからなる、請求項12に記載の方法。

【請求項14】 金属シリコン化物を、化学蒸着法（CVD）によって堆積させる、請求項13に記載の方法。

【請求項15】 シリコン先駆物質、タングステン先駆物質及びドーバント先駆物質を、CVDのために利用する、請求項14に記載の方法。

【請求項16】 シリコン先駆物質を、 SiH_4 、 Si_2H_6 又は SiH_2Cl_2 からなるグループから選択し、タングステン先駆物質を、 WF_6 、 WCl_6 又は $\text{W}[\text{CO}]_6$ からなるグループから選択し、かつりん先駆物質を、 PH_3 又は POCl_3 からなるグループから選択する、請求項15に記載の方法。

【請求項17】 金属シリコン化物を、ほぼ $450 \sim 600^\circ\text{C}$ の温度及びほぼ $1 \sim 5$ トルの圧力において堆積させる、請求項16に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的に半導体製造に関し、かつさらに特定すれば、ポリシリコンーポリサイドゲートを有するトランジスタに関する。

【0002】

【従来の技術】デバイスの製造において、絶縁層、半導体及び導体層が基板上に形成される。該層は、機構及びスペースを製造するためにパターンニングされる。形状及びスペースは、トランジスタ、キャパシタ及び抵抗のようなデバイスを形成するようにパターンニングされる。これらのデバイスは、それから所望の電気的機能を達成するように相互接続され、集積回路（IC）を製造する。

【0003】シート抵抗を減少するために、金属酸化物半導体（MOS）トランジスタは、ポリサイドゲートを利用する。ポリサイドゲートは、多量にドーピングされたポリシリコン（ポリ）上におけるタングステンシリコン化物（ WSi_x ）のような金属シリコン化物からなる。典型的にはポリは、りん（P）によってドーピングされる。ポリは、そのシート抵抗を低下させるために高いドーバント濃度を含むべきである。

【0004】しかしながら多量にドーピングされたポリ上における金属シリコン化物は、化学量論的な制御の問題を提示し、これらの問題は、金属の豊富な境界面の形で現われる。金属の豊富な境界面は、後続の熱処理に抗しないので不所望である。その結果、境界面は酸化される。酸化は表面の荒れを引起し、かつある種の場合に、シリコン化物膜の剥離を引起す。従来金属の豊富な境界面の不利な効果は、多量にドーピングされたポリと金属シリコン化物との間のポリの真性の（ドーピングされていない）層を提供することによって避けられる。ドーピングされていないポリ層の追加は、ゲートスタックの高さを増加し、ゲートスタックの縦横比を増加す

る。基本原則の減少は縦横比をさらに増加し、その結果、プロセスの問題を生じる。さらに、ドーピングされていないポリ層の追加はゲート抵抗を増大し、これによりデバイスパフォーマンスが増大する。金属の豊富な境界面を避ける別の技術は、ポリのドーパント濃度を低下することにある。典型的にはポリ層のP濃度は、 10^{20} 原子/cm³以下に維持するべきである。このような技術もまた、ゲート抵抗を不所望に増加する。

【0005】

【発明が解決しようとする課題】前記のことから、減少したシート抵抗を有する確実なポリサイドゲートを提供することが望まれる。

【0006】

【課題を解決するための手段】本発明は、減少した厚さ及びさらに低いシート抵抗を有する確実なゲート導体の形成に関する。一実施態様において、減少した厚さ及びさらに低いシート抵抗は、ドーピングされたポリ層上に現場でドーピングされた金属シリコン化物層を堆積させることによって達成される。金属シリコン化物層におけるドーパントは、金属の豊富な境界面に関連する問題を減少する。このことにより、真性のキャップポリ層なしで又はポリがさらに低いドーパント濃度を有する必要なく、金属シリコン化物層を堆積させることができるようになる。

【0007】

【実施例】本発明は、減少したシート抵抗を有する確実なポリサイドゲートに関する。本発明の議論を容易にするために、メモリICに関連して説明する。しかしながら本発明は、それより著しく広く、かつ一般的にICに適用することができる。DRAMセルの説明を行なう。

【0008】図1によれば、トレンチキャパシタタイプのDRAMセル100が示されている。このようなトレンチキャパシタDRAMセルは、例えばネスビット他(Nesbit et al.)、A O. 6 μ m² 256Mb Trench DRAM Cell With Self-Aligned Buried Strap (BEST)、IEDM93-627に記載されており、これは、あらゆる目的のために引用によってここに組込まれる。トレンチキャパシタDRAMセルは、示されているが、本発明は、このようなものに限定されていない。例えばスタックキャパシタDRAMセルも利用することができる。典型的にはこのようなセルのアレイは、DRAM-ICを形成するために、ワード線及びビット線によって相互接続されている。

【0009】実例としてDRAMセル100は、基板101中に形成されたトレンチキャパシタ160を含んでいる。トレンチは、典型的にはn-タイプのような第1の導電性を有するドーパントによって多量にドーピングされたポリシリコン(ポリ)161によって満たされている。ドーピングされたポリは、“蓄積ノード(storage

node)”と称するキャパシタの電極として使われる。選択的に第1の導電性のドーパントによってドーピングされた埋込プレート165は、トレンチの下側の部分を囲んでいる。埋込プレートは、キャパシタのもう1つの電極として使われる。トレンチの上側の部分に、寄生漏れを減少するカラー168がある。ノード誘電体163は、キャパシタの2つのプレートを分離する。第1の導電性のドーパントを含む埋込ウエル170は、アレイ内におけるDRAMセルの埋込プレートを接続するために設けられている。埋込ウエルの上に、p-タイプのような第2の導電性を有するドーパントを含むウエル173がある。p-ウエルは、トランジスタ110の垂直漏れを減少するために反対の導電性の接合部を形成するために十分なドーパント濃度を含んでいる。

【0010】トランジスタは、ポリサイドゲートスタック112を含んでいる。時には“ゲート導体”(GC)と称するゲートスタックは、DRAMアレイにおいてワード線として使われる。ワード線は、キャパシタに接続されるので、“活性ワード線”と称する。図示したように、ゲートスタックは、ドーパントにより多量にドーピングされたポリ層120を含む。一実施態様において、ポリ層120は、Pドーパントによって多量にドーピングされている。ほう素(B)又はヒ素(As)の利用も有用である。シート抵抗を低く維持するために、ポリのドーパント濃度は、十分に高くする。多量にドーピングされたポリ120の上に、真性ポリ層121及び金属シリコン化物層122が設けられている。真性ポリ層は、シリコン化物と多量にドーピングされたポリ層との間の金属の豊富な境界面を避けるためにバッファ層として使われる。ドーパントは、後続の熱処理の間に多量にドーピングされたポリ層から真性ポリ層へ拡散するが、ポリは、金属シリコン化物層を初期に堆積する間に、真性である。金属シリコン化物層の上に、例えばエッチング停止層として使われる窒化物層がある。

【0011】ゲートに隣接して、多量にドーピングされた拡散領域113及び114が設けられている。拡散領域は、ポリ層と同じであり、かつウエル173のものと反対の導電性を有するドーパントを含んでいる。拡散領域は、例えばn-タイプドーパントによって多量にドーピングされている。電流流通の方向に依存して、拡散領域113及び114は、それぞれ“ドレイン”又は“ソース”と称する。ここにおいて用いる場合、用語“ドレイン”及び“ソース”は、互いに交換可能である。トランジスタとキャパシタとの間の接続は、“ノード拡散”と称する拡散領域125を介して達成される。

【0012】DRAMセルをその他のセル又はデバイスから絶縁するために、浅いトレンチ絶縁体(STI)180が設けられている。図示したように、ワード線120は、トレンチ上方に形成され、かつSTIによってここから絶縁されている。ワード線120は、DRAMセ

ルに電気的に連結されていないので、“パッシングワード線(passing wordline)”と称する。このような構成は、折り返しビット線アーキテクチャ(folded bitline architecture)と称する。開放及び開放-折返しを含むその他の構成も有用である。

【0013】ワード線上にレベル間誘電体層189が形成されている。ビット線をなす導体層は、レベル間誘電体層の上に形成される。ビット線接触開口部186は、ソース113をビット線190に接触させるために、レベル間誘電体層に設けられている。

【0014】前に議論したように、多量にドーピングされたポリシリコン化物層と間のポリバッファ層の利用は、ゲートスタックの厚さを増加する。この増加した厚さは、さらに高い縦横比の機構を製造し、プロセスの困難を生じるので、不所望である。

【0015】図2a-cは、本発明によるポリサイドゲートスタックの形成のプロセスを示している。図2aによれば、ICの一部を表わす基板の横断面が示されている。このようなICは、例えばランダムアクセスメモリ(RAM)、ダイナミックRAM(DRAM)、シンクロナスDRAM(SDRAM)、スタティックRAM(SRAM)及び読み出し専用メモリ(ROM)を含むメモリICである。ICは、プログラミング可能な論理アレイ(PLA)、アプリケーション固有のIC(ASIC)、埋め込まれたDRAM-論理IC(埋め込まれたDRAM)又はその他の任意の論理デバイスのような論理デバイスであってもよい。

【0016】典型的には多数のICが、シリコンウエハのような半導体基板上に並列に製造される。プロセスの後で、ICを複数の個別のチップに分離するためにウエハを裁断する。次いでチップを、例えばコンピュータシステム、コピー機、プリンタ及びファクシミリシステムを含む事務機器、セルラフォン、パーソナルデジタルアシスタント(PDA)、及びその他の電子製品のような消費者製品で利用するために、最終製品になるようにパッケージングされる。

【0017】基板201は、例えばシリコンウエハである。シリコンオンインシュレータ(SOI)、シリコンオンサファイヤ(SOS)、ガリウム、ガリウムヒ素及びIII-V族化合物のようなその他の基板も有用である。一実施態様において、基板は、第1の導電性を有するドーパントによってわずかにドーピングされている。図示したような基板は、その他のデバイス層デバイス機構を含んでいないが、ここにおいて利用する場合、用語“基板”は、この上に1つ又は複数のデバイス層及びデバイス機構を有する基板を含んでいてもよい。一実施態様において、基板は、Bのようなp-タイプのドーパント(p-)によってわずかにドーピングされている。Bの濃度は、ほぼ 1.5×10^{16} 原子/cm³である。

【0018】基板は、例えばここに形成された複数のト

レンチキャパシタ(図示せず)を含んでいる。トレンチキャパシタは、例えば図1に示されたようなものである。一実施態様において、トレンチキャパシタは、n-チャネルDRAMセルのための蓄積キャパシタとして使われる。埋込n-ウエルは、キャパシタの埋込n-タイププレートと一緒に接続するために設けられている。p-ウエルは、n-チャネルDRAMアクセストランジスタのために設けられている。p-ウエルの濃度は、ほぼ $5 \times 10^{17} \sim 8 \times 10^{17}$ cm⁻³である。追加的にn-タイプのウエルは、支援回路において利用されるもののようなp-チャネルトランジスタのために設けられている。別の拡散領域は、必要に応じて基板に設けることができる。

【0019】プロセスのこの点において、基板は、平坦な表面210を含んでいる。表面上に犠牲酸化物層(図示せず)が形成されている。犠牲酸化物層は、その後に形成されるトランジスタのゲート閾値電圧(V_t)を調節するために、イオン注入のためのスクリーン酸化物として使われる。V_t調節注入は、例えばゲートのチャネル領域にドーパントを選択的に注入するために、通常のリソグラフ及びマスキング技術を利用する。このような技術は、スクリーン酸化物層上におけるフォトリソ層の堆積、及び光源とマスクを用いたその選択的な露光を含む。ポジティブレジストを利用するか又はネガティブのものを利用するかに依存して、レジスト層の露光された又は露光されない部分が、その下の基板の領域を選択的に露出するために、現像の間に除去される。次いで所望のV_tを達成するために、露出した領域にイオンを注入する。

【0020】V_t注入の後、レジスト及びスクリーン酸化物層は、例えばウェットエッチングによって除去される。次いで薄い酸化物層220が、基板表面上に形成される。酸化物層は、ゲート酸化物として使われる。一実施態様では、ゲート酸化物層が熱酸化によって成長する。ゲート酸化物の厚さは、例えばほぼ6~10 nmである。

【0021】ゲート酸化物上にポリ層230が堆積される。ポリ層は、例えば化学蒸着法(CVD)によって堆積される。その代わりに、アモルファスシリコン層をポリの代わりに利用してもよい。典型的にはポリ層は、その抵抗率を減少するためにドーパントを含んでいる。このようなドーパントは、例えばりん(P)、ヒ素(As)又はほう素(B)を含む。ポリ層は、その形成の間に又はその後にドーピングすることができる。CVDプロセスの間のドーパントの組み込みは、現場でのドーピングとして周知である。

【0022】一実施態様において、ポリ層は、Pドーパントによってドーピングされている。ポリは、現場でドーピングされる。Pドーパントの濃度は、ほぼ $10^{19} \sim 5 \times 10^{21}$ 原子/cm³、有利にはほぼ $10^{20} \sim 10^{21}$

10

20

30

40

50

原子/cm³、かつさらに有利にはほぼ 5×10^{20} である。ポリは、シリコン先駆物質としてSiH₄及びPドーパント源としてPH₃を使用して、例えばほぼ600～650℃の温度及びほぼ100～180トルの圧力で、CVD反応器内において堆積される。ドーピングされたポリの厚さは、ほぼ10～200nm、有利にはほぼ40～150nm、かつさらに有利にはほぼ50～100nmである。もちろん実際の厚さは、種々の要因に依存して変化することがある。例えば最小の厚さは、作業機能の目的のために必要であり、かつこれは、設計の要求に依存している。この最小の厚さは、ある種の場合において、ほぼ10nmであってもよい。

【0023】図2bによれば、ポリ層230の上に金属シリコン化物層240が堆積されている。金属シリコン化物は、例えばタングステンシリコン化物(WSi_x)、モリブデンシリコン化物(MoSi_x)、タンタルシリコン化物(TaSi_x)、チタンシリコン化物(TiSi_x)、コバルトシリコン化物(CoSi_x)又はその他の金属シリコン化物を含む。一実施態様によれば、金属シリコン化物は、p-又はn-タイプいずれかのドーパントを含む。このようなドーパントは、例えばP、As又はBを含む。適用できるならば、ドーパントのタイプは、ドーピングされたポリ層230と同じである。金属シリコン化物層の典型的な濃度は、ほぼ 10^{19} ～ 5×10^{21} 原子/cm³、有利にはほぼ 10^{20} ～ 10^{21} 原子/cm³、かつさらに有利にはほぼ 5×10^{20} 原子/cm³である。金属シリコン化物の現場でのドーピングは、そのアモルファス状態において堆積される傾向を潜在的に増加する。そのアモルファス状態における金属シリコン化物の堆積は、膜の粒子寸法を増加し、それによりその抵抗を減少する。

【0024】現場でドーピングされた金属シリコン化物は、ドーピングされない金属シリコン化物膜を堆積するために利用された通常のCVD技術によって堆積される。ドーパント源は、堆積される膜のその場のドーピングを提供するために、CVDプロセスに含まれる。

【0025】一実施態様において、ドーピングされた金属シリコン化物層は、PドーピングされたWSi_xを含む。WSi_xは、その場でドーピングされる。Pドーパントの濃度は、ほぼ 10^{19} ～ 5×10^{21} 原子/cm³、有利にはほぼ 10^{20} ～ 10^{21} 原子/cm³、かつさらに有利にはほぼ 5×10^{20} 原子/cm³である。ドーピングされた金属シリコン化物の厚さは、ほぼ50～200nm、有利にはほぼ80nmである。もちろん実際の厚さは、設計及びパラメータに依存して変化することができる。

【0026】通常のW、Si及びドーパント先駆物質は、ドーピングされたWSi_x膜を形成するために利用される。通常のSi先駆物質は、例えばシラン(SiH₄)

(1) ジシラン(Si₂H₆)又はジクロロシラン(Si 50

H₂Cl₂)を含み、W先駆物質は、タングステンヘキサフルオライド(WF₆)、タングステンヘキサクロライド(WCl₆)又はタングステンヘキサカルボニル(W[CO]₆)を含む。ホスフィン(PH₃又はPOCT₃)は、例えばPドーパント源を提供するために利用される。一実施態様において、PH₃は、PドーピングされたWSi_x膜を形成するためにWF₆及びSiH₄に加えられる。先駆物質は、サンタクララ(Santa Clara)、CA在、アプライドマテリアル(Applied Materials)によって製造されたセンチュラ(Centura)CVD反応器のようなCVD反応器に導入される。CVDプロセスのための典型的な温度及び圧力は、それぞれほぼ450～600℃及びほぼ1～5トルである。有利には温度は、ほぼ550℃であり、かつ圧力は、ほぼ1.5トルである。

【0027】堆積の間の金属シリコン化物膜へのドーパントの添加は、金属の豊富な境界面の形成を減少する。金属の豊富な境界面の減少に関する機構は明らかではないが、ドーパントは、金属反応の効率を増強することが信じられている。例えばWF₆反応の効率が増強される。ドーパントは、堆積プロセスにおいて絡み込まれるので、WF₆反応の効率は、堆積プロセスを通して増強される。それ故にWは、WSi_x膜を通して比較的均一に分配され、金属の豊富な境界面を回避する。

【0028】金属の豊富な境界面なしに多量にドーピングされた層上に金属シリコン化物膜を堆積する能力は、真性キャップポリ層なしに多量にドーピングされた層上に金属シリコン化物膜を堆積することを可能にする。このことは、さらに小さな縦横比を有するゲートスタックを製造する場合に、さらに小さな基本原則によってとくに有利である。さらに小さな抵抗も達成され、デバイスの特性を増大する。

【0029】ドーピングされたシリコン化物層を利用するので、ポリ層もドーピングしないでもよい。ドーピングされていないアモルファスシリコンは、ポリの代わりに利用することができる。ドーピングされていないポリ又はアモルファスシリコンの厚さは、例えば20～50nmであることができる。

【0030】後続のプロセスの間に熱にさらすことは、金属シリコン化物及びポリ層内へのドーパントの拡散を引起す。選択的に層内にドーパントを拡散させるために、焼きなましが行なわれる。焼きなましは、膜の特性を増強又は最適化するように選定されている。焼きなましは、例えばほぼ大気圧においてほぼ1000℃の温度で行なわれる。焼きなましの環境は、例えば酸素(O₂)、アルゴン(Ar)又は窒素(N₂)を含んでい

る。ポリ層が、シリコン化物層のものより低いドーパント濃度を含む場合、焼きなましは、ポリ層におけるドーパントのドーパント濃度を増加する。ドーパント源として使われるドーピングされたシリコン化物層を設けるこ

とによって、金属の豊富な境界面を引起すものよりも低いドーパント濃度でポリ層を形成することができる。したがってゲートスタックのポリ層は、金属の豊富な境界面を避けるためにその厚さを増加することなく、さらに高いドーパント濃度を含むことができる。その結果、低いシート抵抗を有する確実なゲートスタックが設けられる。

【0031】金属シリコン化物層の上に、後続のプロセスのためのエッチング停止層が形成される。エッチング停止層は、例えばシリコン窒化物からなる。

【0032】図2cによれば、ゲートスタック層は、ゲート導体280を形成するためにパターニングされる。ゲート導体のパターニングは、通常のリソグラフ及びエッチング技術を利用して達成される。このような技術は、レジスト層の堆積、及び露光源とマスクによるレジスト層の選択的な露光を含む。レジストの一部は、保護されないゲートスタックの部分を残すために、現像の後に除去される。ゲートスタックの保護されない部分は、例えば反応イオンエッチング(RIE)によって除去される。

【0033】スペーサ(図示せず)は、ゲート導体の側壁に選択的に形成することができる。スペーサ形成の後に、トランジスタのゲートに隣接する拡散領域を形成するために、ドーパントが注入される。スペーサは、重なる容量を減少する拡散領域の下側重なり拡散を定義する。

【0034】窒化物層288は、基板の表面上に堆積され、移動イオン障壁のために使われ、かつ境界のないビ

ット線接触を形成するためにエッチング停止として使われる。誘電体層290は、導体層293とゲート導体との間に絶縁体を提供するために、デバイス構造の上に形成される。誘電体層は、不純物、湿気及び掻き傷からデバイス構造を絶縁するために保護層としても使われる。誘電体層は、例えばりんけい酸ガラス(PSG)又はほう素りんけい酸ガラス(BPSG)のようなりんドープングされた二酸化シリコンを含む。

【0035】接点291は、誘電体層内に形成され、導体層とその下にある導体領域285との間の相互接続を形成する。導体層は、例えばDRAMチップのビット線をなしている。

【0036】種々の実施例を引用して本発明を図示しかつ説明したが、その権利範囲から外れることなく、本発明に変更及び変形を行なうことができることは、当該技術分野の専門家にとって明らかであろう。それ故に本発明の権利範囲は、前記の説明を参照してではなく、その等価物の全権利範囲とともに添付の特許請求の範囲を参照して判定すべきものである。

20 【図面の簡単な説明】

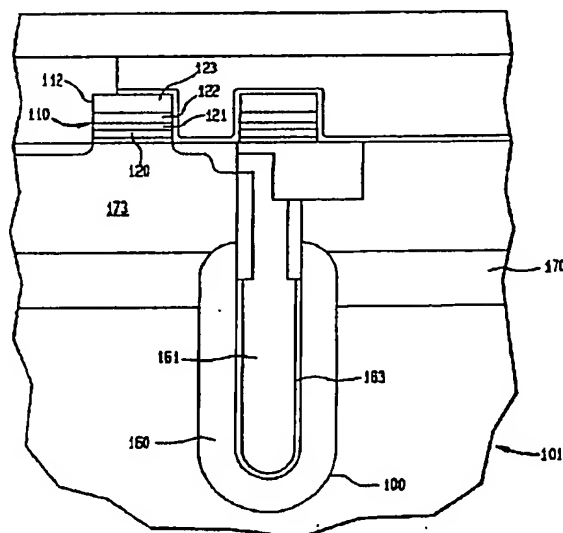
【図1】 実例のDRAMセルを示す図である。

【図2】 ポリサイドゲートスタックを形成するための、本発明の実施例を示す図である。

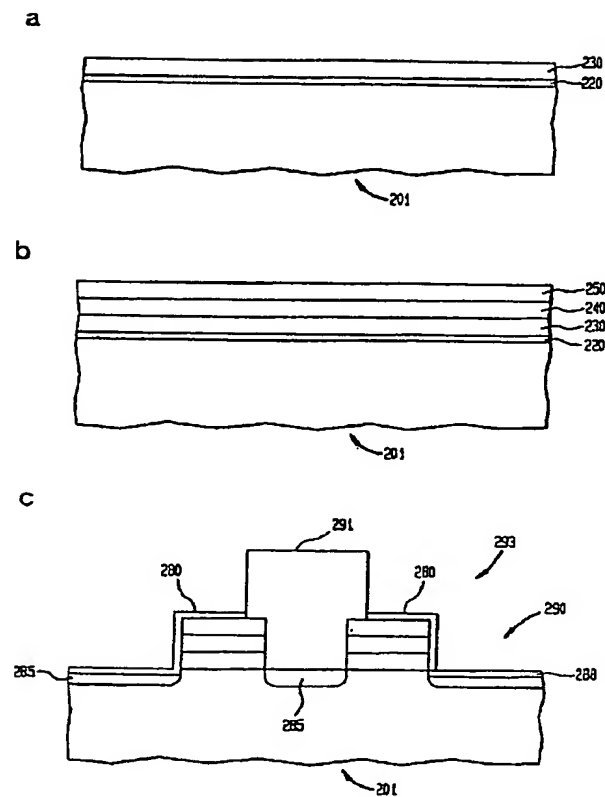
【符号の説明】

201 基板、 220 酸化物層、 230 ポリ層、 240 金属シリコン化物層、 280 ゲート導体、 285 導体領域、 288 窒化物層、 290 誘電体層、 291 接点、 293 導体層

【図1】



【図2】



フロントページの続き

(72)発明者 マティアス イルク
 アメリカ合衆国 ヴァージニア リッチモ
 ンド ノース ミュルベリー ストリート
 4

(72)発明者 ジョナサン ファルターマイヤー
 アメリカ合衆国 ニューヨーク フィッシ
 ュキル マウンテン ヴュー クノールズ
 ドライヴ 1 アパートメント シー

(72)発明者 ラディカ スリニヴァサン
 アメリカ合衆国 ニュージャージー マー
 ワー デヴィッドソン コート 18